

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 1 月 1 8 日

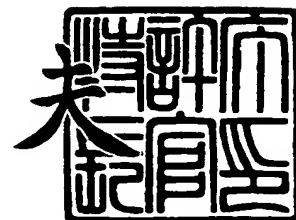
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 3 4 2 6 0
[ST. 10/C]: [J P 2 0 0 2 - 3 3 4 2 6 0]

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 3 年 1 1 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 4 7 7 5

【書類名】 特許願

【整理番号】 5037640126

【提出日】 平成14年11月18日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 鈴木 利一

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 赤松 寛範

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 複数のメモリセル及び複数のダミーセルを含むメモリアレイと、
前記メモリアレイに接続され、複数の制御線を選択的に活性化する制御回路と、
前記メモリアレイに接続され、カラムを選択するカラムセクタと、
前記カラムセクタに接続されるアンプ回路と、
前記メモリアレイに接続され、ダミーカラムを選択するダミーカラムセクタと、
前記ダミーカラムセクタに接続されるアンプ制御回路とを含む半導体記憶装置であって、
前記制御回路により選択的に活性化された複数の前記制御線が、それぞれ異なる前記ダミーセルに接続されることを特徴とする半導体記憶装置。

【請求項 2】 前記メモリアレイが、複数の前記ダミーセルを含む複数のダミーカラムと、複数の前記ダミーカラムにおいて複数の前記ダミーセルに共通に接続された複数のダミービットラインとを含み、複数の前記ダミービットラインが前記ダミーカラムセクタに接続されている請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記制御回路における複数の前記制御線が、前記アンプ回路が配置されている方向と同一の方向から前記メモリアレイに接続され、前記メモリアレイにおける複数の前記ダミーカラムに含まれる複数の前記ダミーセルの一部にそれぞれ接続される請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記制御回路における複数の前記制御線が、前記アンプ回路が配置されている方向と反対の方向から前記メモリアレイに接続され、前記メモリアレイにおける複数の前記ダミーカラムに含まれる複数の前記ダミーセルの一部にそれぞれ接続される請求項 2 に記載の半導体記憶装置。

【請求項 5】 前記制御回路における複数の前記制御線に接続される複数の前記ダミーセルが、前記メモリアレイに対して、前記アンプ回路が配置されている

方向と反対側の端部に配置される請求項 2 から 4 のいずれか一項に記載の半導体記憶装置。

【請求項 6】 前記メモリアレイが、複数の前記ダミーセルを含むダミーカラムと、複数のダミーロウを含み、前記制御回路における複数の前記制御線が複数の前記ダミーロウに接続され、前記ダミーカラムが一つのダミービットラインを含む請求項 1 に記載の半導体記憶装置。

【請求項 7】 前記メモリアレイが、複数の前記ダミーセルを含むダミーカラムを含み、前記制御回路における複数の前記制御線が、前記ダミーカラム上の異なる位置に配置された前記ダミーセルにそれぞれ接続される請求項 1 に記載の半導体記憶装置。

【請求項 8】 前記ダミービットラインが、前記ダミーカラムセレクトに接続される請求項 6 又は 7 に記載の半導体記憶装置。

【請求項 9】 前記ダミーカラムセレクトが、前記カラムセレクトに含まれるトランスファゲートと同構成のトランスファゲートを含む請求項 8 に記載の半導体記憶装置。

【請求項 10】 前記ダミービットラインに接続され、前記ダミーカラムセレクトに含まれている前記トランスファゲートを構成するトランジスタにおいて、ソースとドレインが短絡されている請求項 9 に記載の半導体記憶装置。

【請求項 11】 前記制御回路が、検査結果を記憶する記憶手段を含む請求項 1 から 10 のいずれか一項に記載の半導体記憶装置。

【請求項 12】 前記アンプ制御回路に接続され、前記ダミーセルの電流を測定する欠陥検査手段をさらに含む請求項 11 に記載の半導体記憶装置。

【請求項 13】 前記アンプ制御回路に接続され、前記アンプ制御回路の出力タイミングを測定する欠陥検査手段をさらに含む請求項 11 に記載の半導体記憶装置。

【請求項 14】 前記検査結果記憶手段が不揮発記憶手段である請求項 12 又は 13 に記載の半導体記憶装置。

【請求項 15】 前記検査結果記憶手段が、レーザで切断可能なヒューズを含む請求項 14 に記載の半導体記憶装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、内部回路起動タイミングを、ダミー回路を用いて生成する半導体記憶装置に関する。

【0002】**【従来の技術】**

従来の半導体記憶装置において、メモリセルからの読出しデータを増幅するアンプの起動信号をダミーのメモリセルを用いて生成し、プロセスや電圧等に起因するメモリセル読出しタイミングのばらつきに対して、アンプ起動タイミングを精度良く追従させる方法が種々考えられている。

【0003】

従来の半導体記憶装置の構成例として、図15～図18に、非特許文献1及び特許文献1において開示されている回路構成の概要図を示す。

【0004】**【非特許文献1】**

「IEEE 半導体素子使用回路ジャーナル」、2001年11月、第36巻、第11号、p. 1738-1744 (IEEE Journal of Solid-State Circuits, Vol. 36, No. 11, November 2001, pp 1738-1744)

【0005】**【特許文献1】**

米国特許6212117号明細書

図15において、500はメモリアレイを、501及び502はメモリアレイ500に含まれるダミーカラムを、504はメモリアレイ500に複数含まれる通常カラムを、それぞれ示している。ここで、通常カラムとは、ダミーカラム以外のカラムを意味している。

【0006】

また、505はメモリアレイ500に接続されるダミー制御手段を、507は

ダミーカラム 502 の出力が入力されるアンプ制御手段を、508 は通常カラム 504 に接続されるカラムセレクタを、509 はカラムセレクタ 508 及びアンプ制御手段 507 に接続されるアンプを、510 はメモリアレイ 500 に接続されるロウデコーダを、それぞれ示している。

【0007】

図 16 は、図 15 に示すメモリアレイ 500 の部分構成図であり、図 15 において、511 は通常のメモリセルを示しており、SRAM が良く用いられている。また、512 はダミーカラム 501 に含まれるダミーセルを、513 はダミーカラム 502 に含まれるダミーセルを、それぞれ示している。

【0008】

図 17 は、図 16 に示すメモリセル 511 の構成図であり、図 18 は、図 16 に示すダミーセル 512 及び 513 の内部構成及び相互接続構成を示す図である。

【0009】

図 18 に示すように、ダミーセル 512 及び 513 を構成するトランジスタは、図 17 に示すメモリセル 511 を構成するトランジスタと同サイズであり、ダミーセル 512 及び 513 に含まれるラッチ回路は一定レベルに固定されている。

【0010】

図 17 に示すように、メモリセル 511 は、行方向においてはロウデコーダ 510 と接続されているワードライン WL0 ~ WLx に接続されており、列方向においては共通のビットライン BL 及び NBL に接続されている。

【0011】

図 16 に示すように、複数あるダミーセル 512 のうち n 個のダミーセル 512 が、ダミー制御手段 505 の出力側であるダミーワードライン DWL に接続され、他のダミーセル 512 は、接地ラインに接続されている。n 個のダミーセル 512 は、アンプ 509 側に近い位置から順に n 個配置される構成となっている。

【0012】

複数あるダミーセル 513 のうち n 個のダミーセル 513 は、ダミー制御手段 505 の出力側であるダミーワードライン DWL に接続され、他のダミーセル 513 は、接地ラインに接続されている。また、複数あるダミーセル 513 は共通のダミービットライン DBL に接続されており、ダミービットライン DBL はアンプ制御手段 507 へと接続される構成となっている。 n 個のダミーセル 513 についても、アンプ 509 側に近い位置から順に n 個配置される構成となっている。

【0013】

以上のように構成された従来の半導体記憶装置が動作すると、ロウデコーダ 510 と接続されているワードライン WL0 ~ WLx のいずれかが選択され、選択されたワードラインに接続されているメモリセル 511 のデータがビットライン BL 及び NBL に読み出される。

【0014】

なお、ビットライン BL、NBL 及びダミービットライン DBL は、予めハイレベルにプリチャージされており、ワードライン WL0 ~ WLx が選択される時点においてはフローティング状態となっている。また、通常カラム 504 は複数存在することから、選択されたワードラインに接続されている複数のメモリセル 511 のデータが、それぞれのビットライン BL 及び NBL に読み出されるが、カラムセクタ 508 によって特定のビットライン BL 及び NBL のデータが選択されることになる。

【0015】

ワードライン WL0 ~ WLx が選択されるタイミングとほぼ同一のタイミングにおいて、ダミー制御手段 505 の出力側であるダミーワードライン DWL が駆動され、 n 個のダミーセル 513 を構成するトランジスタがダミービットライン DBL をメモリセル 511 の n 倍のスルーレートでハイレベルからロウレベルへと遷移させる。

【0016】

そして、ダミービットライン DBL の信号レベルを検出することで、アンプ制御手段 507 がアンプ起動信号 SAE を生成し、アンプ 509 はアンプ起動信号

SAEが入力されたタイミングで、選択された特定のビットラインBL及びNBLのデータを増幅することになる。

【0017】

例えば、電源電圧1.2Vであって、メモリセル511からの読出しデータBL及びNBLの電位差が100mVの場合においてアンプ509を起動したい場合、選択するダミーセル513の数nを‘6’にしておけば、所望のアンプ起動タイミング時に、ダミービットラインDBLは600mV、すなわち電源電圧の半分の電位にまで遷移することになる。したがって、複雑な電位検出回路を用いることなく、簡単なCMOSゲートを用いるだけで、アンプ起動信号SAEを生成できるという利点がある。

【0018】

【発明が解決しようとする課題】

しかしながら、上述したような従来の半導体記憶装置においては、メモリセル511に接続されるビットラインBL及びNBLの配線負荷はダミー回路に含まれているものの、ビットラインに接続されるカラムセクタ508の負荷はダミー回路に含まれておらず、所望のアンプ起動タイミングに対して、ダミービットライン信号に基づくSAE信号の生成が遅延してしまうという問題点が生じていた。

【0019】

また、上述したような従来の半導体記憶装置においては、ダミービットラインDBLを駆動するダミーセル512が、メモリアレイ500に対してアンプ509に近接した位置に配置されており、アンプ509と反対側端部に配置されるメモリセル511が選択された場合には、ビットラインBL及びNBLの配線抵抗による遅延が反映されないことから、所望のアンプ起動タイミングに対して、ダミービットライン信号に基づくSAE信号生成が早まってしまうという問題点も有していた。

【0020】

さらに、上述したような従来の半導体記憶装置においては、ダミーセル512は、メモリアレイ500への読出しアクセスに対して毎回動作する構成となつて

いるが、ダミーセル 512 自体に欠陥があった場合、アンプ起動を所望のタイミングで行うことができない、もしくはアンプ起動自体ができない不良品になってしまうおそれがあるという問題点も内包している。

【0021】

本発明は、上記問題点を解決するために、メモリセルの読出しタイミングを精度良く擬似できるダミー回路と、ダミーメモリセルに欠陥が生じた場合の救済手段を設け、歩留率の向上を可能とする半導体記憶装置を提供することを目的とする。

【0022】

【課題を解決するための手段】

上記目的を達成するために本発明にかかる半導体記憶装置は、複数のメモリセル及び複数のダミーセルを含むメモリアレイと、メモリアレイに接続され、複数の制御線を選択的に活性化する制御回路と、メモリアレイに接続され、カラムを選択するカラムセクタと、カラムセクタに接続されるアンプ回路と、メモリアレイに接続され、ダミーカラムを選択するダミーカラムセクタと、ダミーカラムセクタに接続されるアンプ制御回路とを含む半導体記憶装置であって、制御回路により選択的に活性化された複数の制御線が、それぞれ異なるダミーセルに接続されることを特徴とする。

【0023】

かかる構成により、ビットラインに接続されるカラムセクタの負荷をダミー回路に含めることができることから、所望のアンプ起動タイミングに応じて、ダミービットライン信号に基づく SAE 信号を生成することが可能となる。

【0024】

また、本発明にかかる半導体記憶装置は、メモリアレイが、複数のダミーセルを含む複数のダミーカラムと、複数のダミーカラムにおいて複数のダミーセルに共通に接続された複数のダミービットラインとを含み、複数のダミービットラインがダミーカラムセクタに接続されていることが好ましい。ダミーセル自体に欠陥がある場合であっても、正常なダミーセルに接続されているダミービットラインを選択することによって、生産歩留まりの向上を図ることができるからであ

る。

【0025】

また、本発明にかかる半導体記憶装置は、制御回路における複数の制御線が、アンプ回路が配置されている方向と同一の方向、あるいは反対の方向からメモリアレイに接続され、メモリアレイにおける複数のダミーカラムに含まれる複数のダミーセルの一部にそれぞれ接続されることが好ましい。同一の方向から接続される場合にはダミーカラムへの配線面積を小さくすることができ、反対の方向から接続される場合にはローデコード上の配線負荷も考慮に入れることができるからである。

【0026】

また、本発明にかかる半導体記憶装置は、制御回路における複数の制御線に接続される複数のダミーセルが、メモリアレイに対して、アンプ回路が配置されている方向と反対側の端部に配置されることが好ましい。アンプ回路から最も遠い位置に配置されているメモリセルがビットラインを駆動するタイミングについても精度良く疑似することができるからである。

【0027】

また、本発明にかかる半導体記憶装置は、メモリアレイが、複数のダミーセルを含むダミーカラムと、複数のダミーロウを含み、制御回路における複数の制御線が複数のダミーロウに接続され、ダミーカラムが一つのダミービットラインを含むことが好ましい。ローデコード上の配線負荷も考慮に入れることができるからである。

【0028】

また、本発明にかかる半導体記憶装置は、メモリアレイが、複数のダミーセルを含むダミーカラムを含み、制御回路における複数の制御線が、ダミーカラム上の異なる位置に配置されたダミーセルにそれぞれ接続されることが好ましい。

【0029】

また、本発明にかかる半導体記憶装置は、ダミービットラインが、ダミーカラムセクタに接続されることが好ましい。

【0030】

また、本発明にかかる半導体記憶装置は、ダミーカラムセレクトが、カラムセレクトに含まれるトランスファゲートと同構成のトランスファゲートを含むことが好ましい。

【0031】

また、本発明にかかる半導体記憶装置は、ダミービットラインに接続され、ダミーカラムセレクトに含まれるトランスファゲートを構成するトランジスタにおいて、ソースとドレインが短絡されていることが好ましい。トランジスタ電流能力の低下によるアンプ起動信号生成遅延の発生を未然に防止することができるからである。

【0032】

また、本発明にかかる半導体記憶装置は、制御回路が、検査結果を記憶する記憶手段を含むことが好ましい。

【0033】

また、本発明にかかる半導体記憶装置は、アンプ制御回路に接続され、ダミーセルの電流を測定する欠陥検査手段をさらに含むことが好ましい。電流値異常を検知することで、ダミーセルの欠陥を確実に検知することができるからである。

【0034】

また、本発明にかかる半導体記憶装置は、アンプ制御回路に接続され、アンプ制御回路の出力タイミングを測定する欠陥検査手段をさらに含むことが好ましい。テスト負荷をかけることなくダミー回路の欠陥を検知することができるからである。

【0035】

また、本発明にかかる半導体記憶装置は、検査結果記憶手段が不揮発記憶手段であることがより好ましく、レーザで切断可能なヒューズを含むことがより好ましい。

【0036】

【発明の実施の形態】

（実施の形態1）

以下、本発明の実施の形態1にかかる半導体記憶装置について、図面を参照し

ながら説明する。図1は本発明の実施の形態1にかかる半導体記憶装置の全体構成図を示す。

【0037】

図1において、100はメモリアレイを、101、102及び103はメモリアレイ100に含まれているダミーカラムを、104はメモリアレイ100に含まれている複数の通常カラムを、それぞれ示している。ここで通常カラムとは、メモリアレイ100におけるダミーカラム以外のカラムを意味している。

【0038】

そして、ダミーカラム101、102及び103に接続されているダミーカラムセクタ106は、ダミー制御手段105により制御される。

【0039】

また、通常カラム104に接続されているカラムセクタ108及びダミーカラムセクタ106に接続されているアンプ制御手段107の出力信号であるアンプ起動信号SAEは、アンプ109に入力されることになる。

【0040】

なお、110はメモリアレイ100に接続されるロウデコードを、130はダミーカラムセクタ106の出力であるDBL信号の電流値を測定するためのテスト端子を含むテスト手段を、それぞれ示している。

【0041】

図2は、図1に示す本実施の形態1にかかる半導体記憶装置におけるメモリアレイ100の部分構成図である。図2において、111は通常カラム104に含まれるメモリセルを示しており、本実施の形態1においてはSRAMを想定している。図3に本実施の形態1にかかる半導体記憶装置に用いられているメモリセル111単体の構成図を示している。

【0042】

また、112はダミーカラム101に含まれるダミーセルを、113はダミーカラム102に含まれるダミーセルを、114はダミーカラム103に含まれるダミーセルを、それぞれ示している。図4に、本実施の形態1にかかる半導体記憶装置におけるダミーセル112、113及び114の内部構成及び相互接続構

成図を示している。

【0043】

図4に示すように、ダミーセル112、113及び114を構成するトランジスタは、メモリセル111を構成するトランジスタと同サイズであり、ダミーセル112、113及び114に含まれるラッチは、一定のレベルに固定されている。

【0044】

図5は、図1におけるダミーカラムセクタ106の構成図を示しており、図5において、ビットラインプリチャージ回路120は、プリチャージ信号PCGを入力するものである。また、121はトランスファゲートを示している。

【0045】

図6は、図1におけるダミー制御手段105の内部構成図の一部を示しており、140はメモリアクセス信号CLKが入力され、ダミーワードライン駆動信号DBLを出力するダミーワードラインドライバを、141はメモリアクセス信号CLKが入力され、ダミーセル選択信号SELを生成する検査結果記憶手段を、それぞれ示している。また、142は不揮発記憶手段を示しており、ヒューズ素子によって構成されている。

【0046】

図2に示すように、通常カラム104におけるメモリセル111は、行方向においては、ロウデコーダ110の出力側であるワードラインWL0～WL_xにそれぞれ接続されており、列方向においては、通常カラム104の共通のビットラインBL及びNBLに接続されている。

【0047】

また、複数あるダミーセル112、113及び114のうち、それぞれn個のダミーセル112、113及び114が、メモリアレイ100上においてアンプ109が配置されている側とはカラム方向に最も遠い位置に配置されており、ダミー制御手段105に接続されているダミーワードラインDWL1又はDWL2に接続されている。それ以外のダミーセル112、113及び114は、接地ラインに接続されている。

【0048】

なお、メモリアレイ100内のダミーワードラインDWL1及びDWL2の配線は、通常カラム104におけるビットライン配線に相当する配線を使用するものとする。

【0049】

また、複数のダミーセル113及び114は、共通のダミービットラインDBL1及びDBL2にそれぞれ接続されており、ダミービットラインDBL1及びDBL2はダミーカラムセクタ106に接続されている。

【0050】

外部よりメモリアレイへのアクセスが行われると、ロウデコーダ110に接続されているワードラインWL0～WLxのいずれかが選択され、メモリセル111のデータがBL及びNBLに読み出される。通常カラム104のビットラインBL及びNBL、及びダミーカラム102及び103のダミービットラインDBL1及びDBL2は、予めビットラインプリチャージ回路120によってハイレベルにプリチャージされており、ワードラインWL0～WLxが選択される時点において、フローティング状態となっている。通常カラム104が複数あることから、複数のデータがそれぞれのBL及びNBLに読み出されるが、カラムセクタ108によって特定のビットラインBL及びNBLのデータが選択されることになる。

【0051】

ワードラインWL0～WLxが選択されるタイミングとほぼ同一のタイミングにおいて、ダミー制御手段105に接続されているダミーワードラインDWL1又はDWL2が駆動され、n個のダミーセル113又はn個のダミーセル114を構成するトランジスタが、ダミービットラインDBL1又はダミービットラインDBL2をメモリセル111のn倍のスルーレートでハイレベルからローレベルへと遷移させる。

【0052】

そして、ダミーカラムセクタ106は、ダミー制御手段105の出力であるダミーセル選択信号SELに基づいて、ダミービットラインDBL1あるいはD

BL2のうち、ローレベルに遷移するダミービットラインを選択し、アンプ制御手段107へDBL信号として転送する。アンプ制御手段107は、DBL信号が予め定めたレベルに達するとアンプ起動信号SAEを発生し、アンプ109は、アンプ起動信号SAEに基づいて、カラムセクタ108により選択された特定のビットラインBL及びNBLのデータを増幅することになる。

【0053】

以上の動作において、冗長化されているダミーワードラインDWL1とDWL2、ダミービットラインDBL1とDBL2の選択は、ダミー制御手段130により行われているが、これは以下のような方法により行われる。

【0054】

まず、テスト手段130によってダミーセル112、113及び114の電流を測定し、予め設定された値に対して許容範囲内であれば、図6に示す不揮発記憶手段141に含まれるヒューズ素子142を切断せず、ダミーワードラインDWL1及びダミービットラインDBL1が選択される状態とする。

【0055】

また、テスト手段130によって測定されたダミーセル112、113及び114の電流が許容範囲外であれば、ヒューズ素子142をレーザ等で切断し、ダミーワードラインDWL2及びダミービットラインDBL2が選択される状態とする。

【0056】

このように、テスト手段130によってダミーセル112、113及び114の電流を測定し、当該電流値が予め設定された値に対して許容範囲内であることを確認することによって、いずれのダミーワードライン及びダミービットラインを選択するのかを決定することになる。したがって、電流値の異常を検出した場合、すなわちダミーセルに欠陥が生じた場合であっても、他のダミーワードライン及びダミービットラインに容易に切り替えることが可能となる。

【0057】

以上のように本実施の形態1によれば、従来の構成ではダミー回路に配置されていなかったカラムセクタをダミービットラインに接続するように配置し、ダ

ミービットラインを駆動するダミーセルが、メモリアレイ上においてアンプが配置される側からカラム方向に最も遠い位置に配置されることによって、同じくアンプから最も遠い位置に配置されるメモリセルがビットラインを駆動するタイミングを精度良く擬似することができ、アンプ起動信号の生成を遅延することなく行うことが可能となる。

【0058】

また、複数のダミーカラムを配置することにより、ダミーセルに欠陥がある場合には容易に欠陥の生じたダミーセルを含むダミーカラムを正常なダミーカラムへと切り替えることができることから、半導体記憶装置の生産歩留りの向上を図ることも可能となる。

【0059】

(実施の形態2)

以下、本発明の実施の形態2にかかる半導体記憶装置について、図面を参照しながら説明する。図7は、本発明の実施の形態2にかかる半導体記憶装置の全体構成図を示している。図7において、131はアンプ起動信号SAEのタイミングを測定するためのテスト端子を示している。他の構成は実施の形態1と同様であることから、図1と同一の符号を付することで詳細な説明を省略する。

【0060】

本実施の形態2においては、テスト時において、テスト端子131によってアンプ起動信号SAEの生成タイミングを測定する点に特徴を有する。すなわち、テスト端子131より測定されたアンプ起動信号SAEの生成タイミングが、予め設定されたタイミングに対して許容範囲内である場合には、図6に示す不揮発記憶手段141に含まれるヒューズ素子142を切断せず、ダミーワードラインDWL1及びダミービットラインDBL1を選択するようにするものである。

【0061】

一方、テスト手段131より測定したアンプ起動信号SAEの生成タイミングが予め設定されたタイミングに対して許容範囲外である場合には、ヒューズ素子142をレーザ等で切断し、ダミーワードラインDWL2及びダミービットラインDBL2が選択されるようにする。

【0062】

このようにすることで、テスト手段131よりタイミングを測定し、予め設定されたタイミングに対して許容範囲内であることを確認することによって、ダミーワードライン及びダミービットラインを切り替えることができるようになる。

【0063】

以上のように本実施の形態2によれば、ダミービットラインにテストの為の負荷を付加することなく、ダミーセルを含むダミー回路の欠陥を検査することができることから、より精度良くメモリセルがビットラインを駆動するタイミングを擬似することが可能となる。

【0064】

(実施の形態3)

以下、本発明の実施の形態3にかかる半導体記憶装置について、図面を参照しながら説明する。図8は、本発明の実施の形態3にかかる半導体記憶装置の全体構成図を示している。

【0065】

図8において、200はメモリアレイを、201、202及び203はメモリアレイ500に含まれるダミーカラムを、それぞれ示している。また、210はロウデコーダを示しており、ダミー制御手段105の出力側であるダミーワードラインDWL1及びDWL2がロウデコーダ210内を経由して配線され、メモリアレイ200に対してアンプ109が配置されている側とは反対方向から、それぞれダミーカラム201及び202に接続されている点に特徴を有している。

【0066】

他の構成は実施の形態2と同様であることから、図7と同一の符号を付することによって詳細な説明を省略する。

【0067】

図9は、図8に示すメモリアレイ200の構成図である。図9に示すように、ダミーワードラインDWL1及びDWL2は、アンプ109が配置されている側とは反対の方向から、それぞれダミーカラム201及び202に接続されている。他の構成は図2に示す実施の形態1にかかる半導体記憶装置におけるメモリア

レイ 100 の構成図と同様の構成となる。

【0068】

このような構成とすることによって、従来は考慮に入れることができなかったダミーワードラインによる配線負荷を考慮に入れることができるようになる。

【0069】

すなわち、本実施の形態 3 によれば、通常のワードラインを駆動する配線が行われるロウデコーダ上における配線と同一の条件で、ダミーワードラインの配線を行うことになることから、ロウデコーダ上の配線負荷を精度よく擬似することができ、より精度の良いダミー回路を構成することが可能となる。

【0070】

(実施の形態 4)

以下、本発明の実施の形態 4 にかかる半導体記憶装置について、図面を参照しながら説明する。図 10 は、本発明の実施の形態 4 にかかる半導体記憶装置の全体構成図を示している。

【0071】

図 10 において、300 はメモリアレイを、301 及び 302 はメモリアレイ 300 に含まれるダミーメモリセルであるダミーカラムを、303 及び 304 はメモリアレイ 300 に含まれるダミーメモリセルであるダミーロウを、それぞれ示している。また、305 はダミー制御手段を、306 はダミーカラムセレクタを、310 はロウデコーダを、それぞれ示しており、ダミー制御手段 305 に接続されているダミーワードライン DWL 1 及び DWL 2 は、ロウデコーダ 310 へと接続されている。さらに、ダミーカラム 302 の出力側であるダミービットライン DBL はダミーカラムセレクタ 306 に接続されている。

【0072】

他の構成は実施の形態 2 と同様であることから、図 7 と同一の符号を付することとで詳細な説明を省略する。

【0073】

図 11 は、図 10 に示すメモリアレイ 200 の構成図である。図 11 において、315 はダミーロウ 303 及び 304 上に位置するワードライン SWL 1 及び

SWL 2 をそれぞれ駆動するドライバを示しており、ダミーワードラインDWL 1 及びDWL 2 にそれぞれ接続されている。

【0074】

また116は、ダミーカラムに配置された複数のダミーセル114のうち、ダミーワードラインDWL 1 及びDWL 2 によってそれぞれ選択されたダミーセル、すなわちダミービットラインDBLを駆動する複数のダミーセルを示している。

【0075】

図12は、図10に示すダミーカラムセクタ306の構成図であり、321はトランスファゲートを示し、ダミーカラム302の出力側であるダミービットラインDBLに接続されている。

【0076】

なお、トランスファゲート321を構成するトランジスタのソースとドレインは短絡されている。すなわち、ダミービットラインDBLに接続されるダミーカラムセクタ306のトランスファゲート321を構成するトランジスタのソースとドレインが短絡されることによって、低電圧時に、ダミービットラインDBLが電源電圧の中間レベル付近まで遷移した際に、トランスファゲート321のトランジスタ電流能力が低下することによって、アンプ制御手段への出力が著しく遅延することを防止することができる。

【0077】

また、322は複数のトランスファゲートを示しており、トランスファゲート321と322の合計数は、カラムセクタにおいて複数のビットラインBL及びNBLから一組のBL及びNBLを選択するトランスファゲート数と同数となる。

【0078】

ダミービットラインDBLに接続されるトランスファゲートの総数をビットラインBLに接続されているトランスファゲートの総数と同数にすることにより、さらに精度の良いダミー回路を構成することが可能となる。

【0079】

以上のように本実施の形態 4 によれば、ダミービットライン DBL を駆動する複数のダミーセル 316 を、同一ダミーカラム 302 上に配置することで、ダミーカラム自体の数を減らすことができ、メモリアレイの面積を減らすことが可能となる。

【0080】

(実施の形態 5)

以下、本発明の実施の形態 5 にかかる半導体記憶装置について、図面を参照しながら説明する。図 13 は、本発明の実施の形態 5 にかかる半導体記憶装置の全体構成図を示している。

【0081】

図 13 において、400 はメモリアレイを、401 及び 402 はメモリアレイ 400 に含まれるダミーカラムを、410 はロウデコードを、それぞれ示している。

【0082】

他の構成は実施の形態 4 と同様であることから、図 10 と同一の符号を付することで詳細な説明を省略する。

【0083】

本実施の形態 5 は、ダミー制御手段の出力側であるダミーワードライン DWL 1 は、メモリアレイ 400 に対して、アンプ 109 が配置されている方向と反対方向からダミーカラム 401 に入力され、ダミーワードライン DWL 2 はアンプ 109 が配置されている方向と同方向からダミーカラム 401 に入力される点に特徴を有している。

【0084】

図 14 はメモリアレイ 400 の構成図である。図 14 においては、ダミーワードライン DWL 1 及び DWL 2 が、ダミーカラム 401 に対して、それぞれ別方向から、異なるダミーセル 112 に接続されている。

【0085】

このように接続することによって、本実施の形態 5 によれば、ダミーロウを必要とせず、ダミービットライン DBL を駆動する複数のダミーセルを、同一ダミ

一カラム上に配置することで、ダミーカラムの数を減らすことができることから、メモリアレイ自体の面積を減らすことが可能となる。

【0086】

【発明の効果】

以上のように本発明にかかる半導体記憶装置によれば、カラムセクタをダミービットラインに接続するように配置し、ダミービットラインを駆動するダミーセルが、メモリアレイ上においてアンプが配置される側からカラム方向に最も遠い位置に配置されることによって、同じくアンプから最も遠い位置に配置されるメモリセルがビットラインを駆動するタイミングを精度良く擬似することができ、アンプ起動信号の生成を遅延することなく行うことが可能となる。

【0087】

また、複数のダミーカラムを配置することにより、ダミーセルに欠陥がある場合には容易に欠陥の生じたダミーセルを含むダミーカラムを正常なダミーカラムへと切り替えることができることから、半導体記憶装置の生産歩留りの向上を図ることも可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる半導体記憶装置の全体構成図

【図2】 本発明の実施の形態1にかかる半導体記憶装置におけるメモリアレイの内部構成図

【図3】 本発明の実施の形態1にかかる半導体記憶装置における通常メモリセルの内部構成図

【図4】 本発明の実施の形態1にかかる半導体記憶装置におけるダミーセルの内部構成図

【図5】 本発明の実施の形態1にかかる半導体記憶装置におけるダミーカラムセクタの内部構成図

【図6】 本発明の実施の形態1にかかる半導体記憶装置におけるダミー制御手段の内部構成図

【図7】 本発明の実施の形態2にかかる半導体記憶装置の全体構成図

【図8】 本発明の実施の形態3にかかる半導体記憶装置の全体構成図

【図 9】 本発明の実施の形態 3 にかかる半導体記憶装置におけるメモリアレイの内部構成図

【図 10】 本発明の実施の形態 4 にかかる半導体記憶装置の全体構成図

【図 11】 本発明の実施の形態 4 にかかる半導体記憶装置におけるメモリアレイの内部構成図

【図 12】 本発明の実施の形態 4 にかかる半導体記憶装置におけるダミーカラムセレクタの内部構成図

【図 13】 本発明の実施の形態 5 にかかる半導体記憶装置の全体構成図

【図 14】 本発明の実施の形態 5 にかかる半導体記憶装置におけるメモリアレイの内部構成図

【図 15】 従来の半導体記憶装置の全体構成図

【図 16】 従来の半導体記憶装置におけるメモリアレイの内部構成図

【図 17】 従来の半導体記憶装置における通常メモリセルの内部構成図

【図 18】 従来の半導体記憶装置におけるダミーセルの内部構成図

【符号の説明】

100、200、300、400、500 メモリアレイ

101、102、103、201、202、203、301、302、401
、402、501、502 ダミーカラム

104、504 通常カラム

105、305、505 ダミー制御手段

106、306 ダミーカラムセレクタ

107、507 アンプ制御手段

108、508 カラムセレクタ

109、509 アンプ


111、511 メモリセル

112、113、114、512、513 ダミーセル

120 ビットラインプリチャージ回路

121、321、322 トランスファーゲート

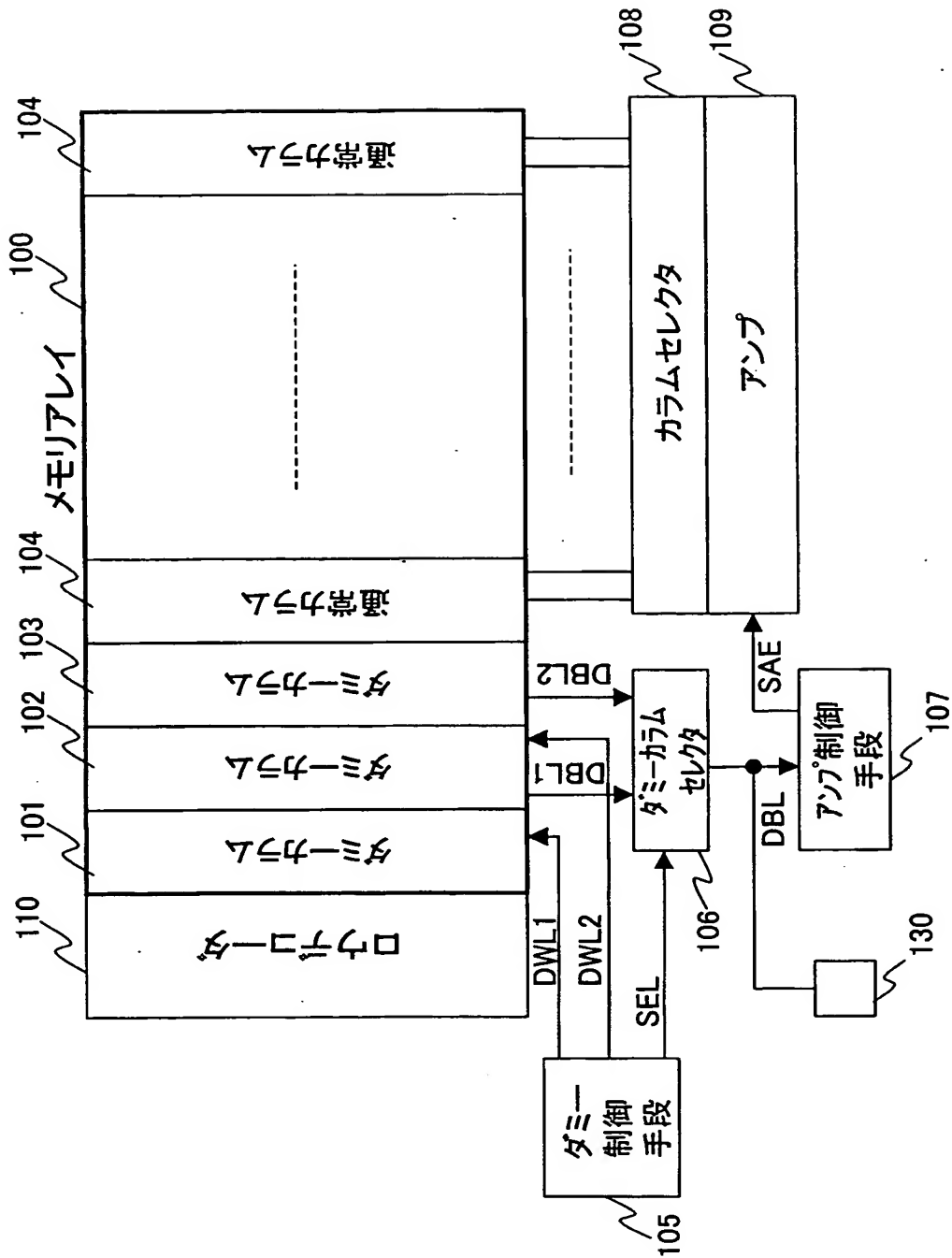
130、131 テスト手段

- 
- 140 ダミーワードラインドライバ
 - 141 検査結果記憶手段
 - 142 不揮発記憶手段
 - 210、310、410、510 ロウデコーダ
 - 303、304 ダミーロウ
 - 315 ドライバ

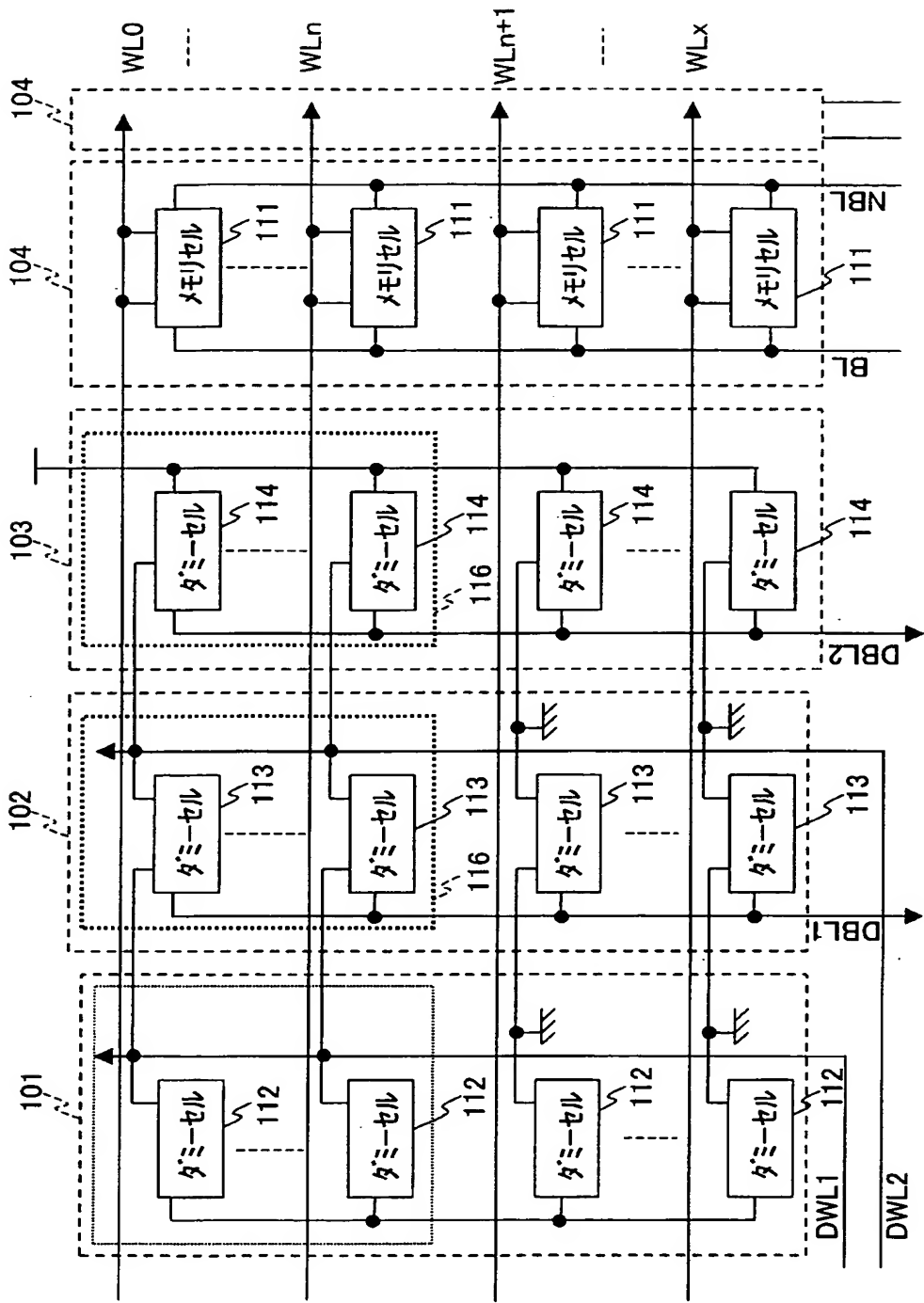
【書類名】

図面

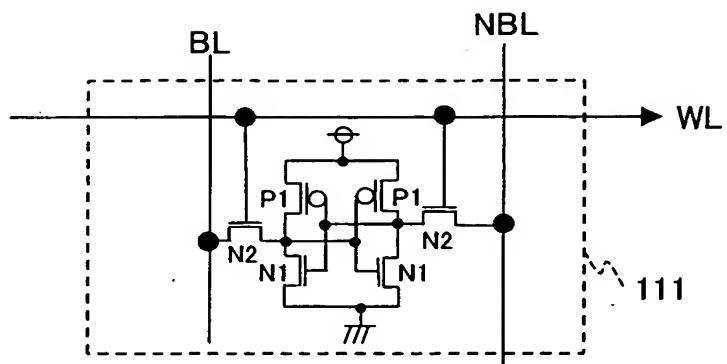
【図 1】



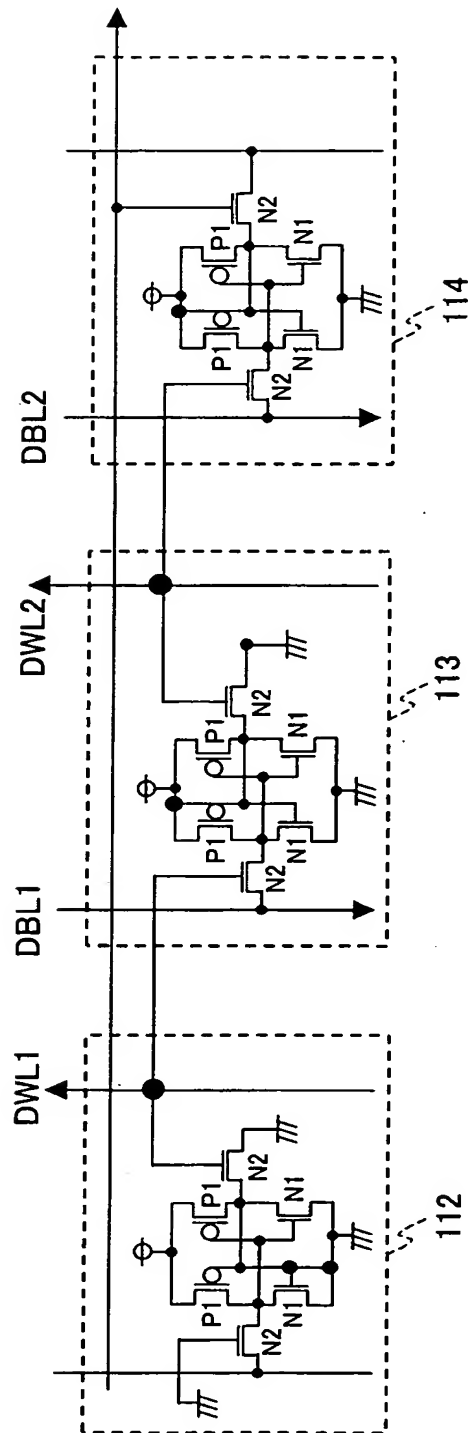
【図 2】



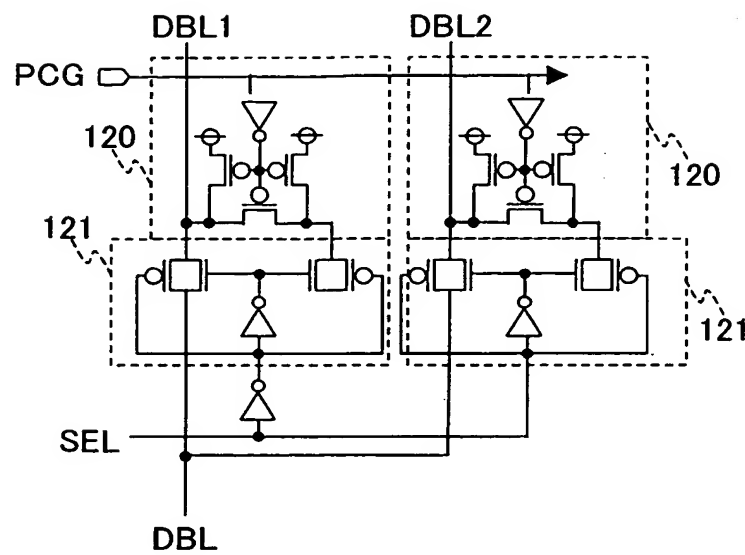
【図 3】



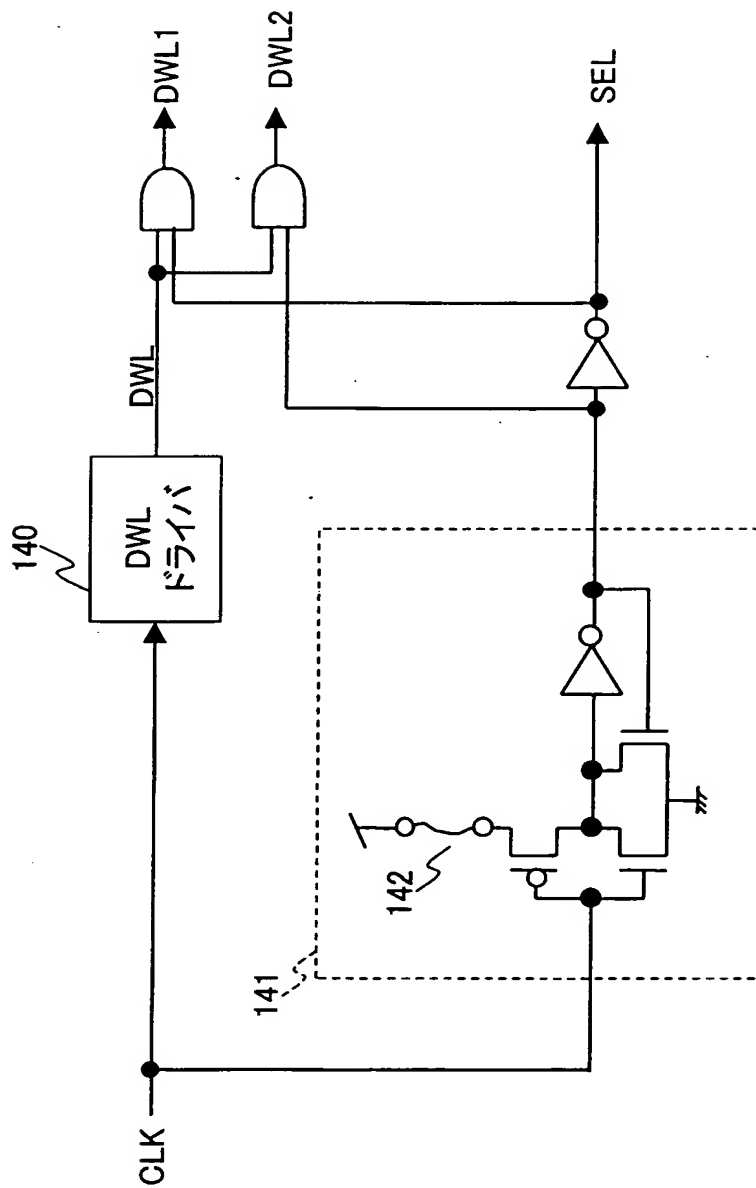
【図 4】



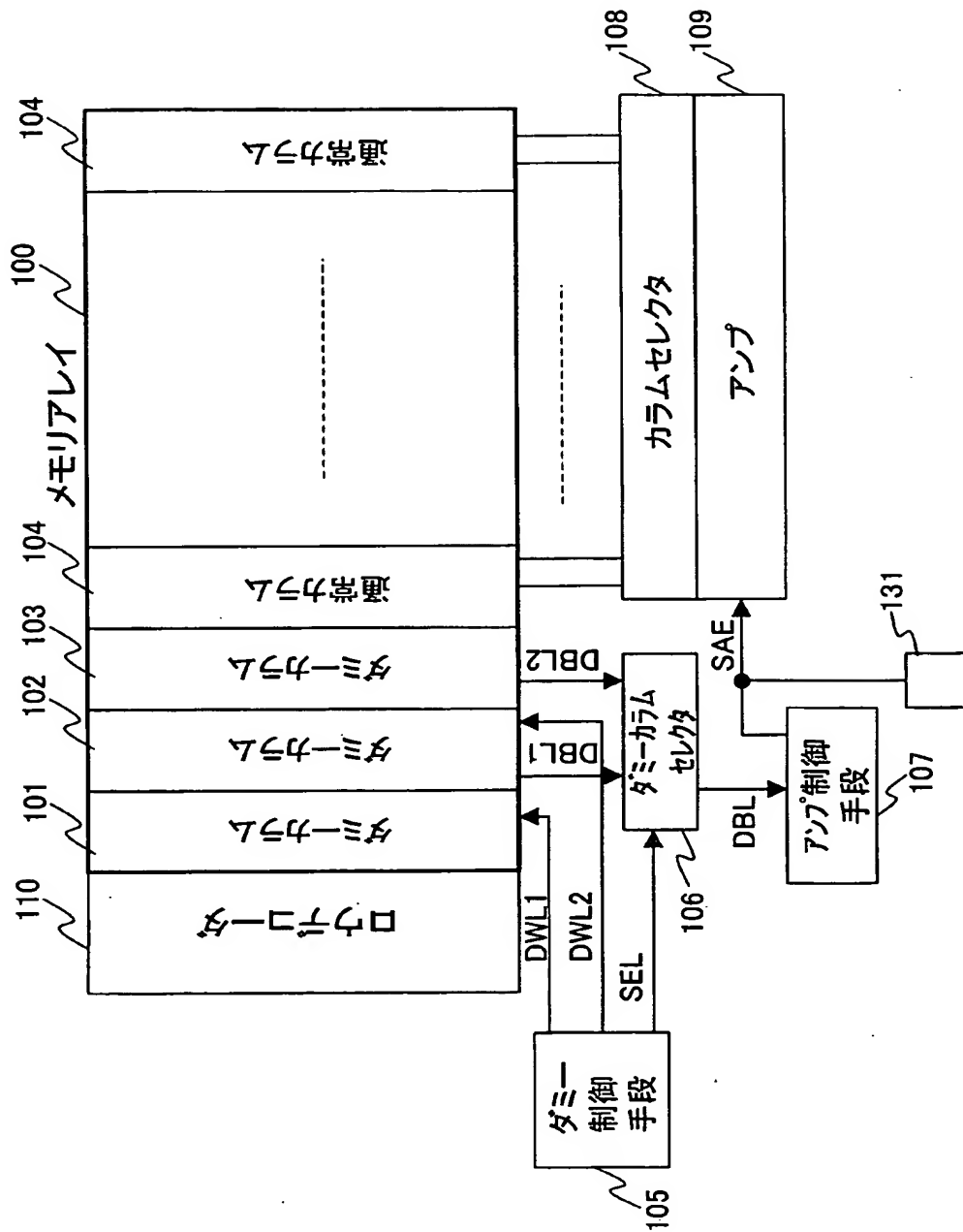
【図 5】



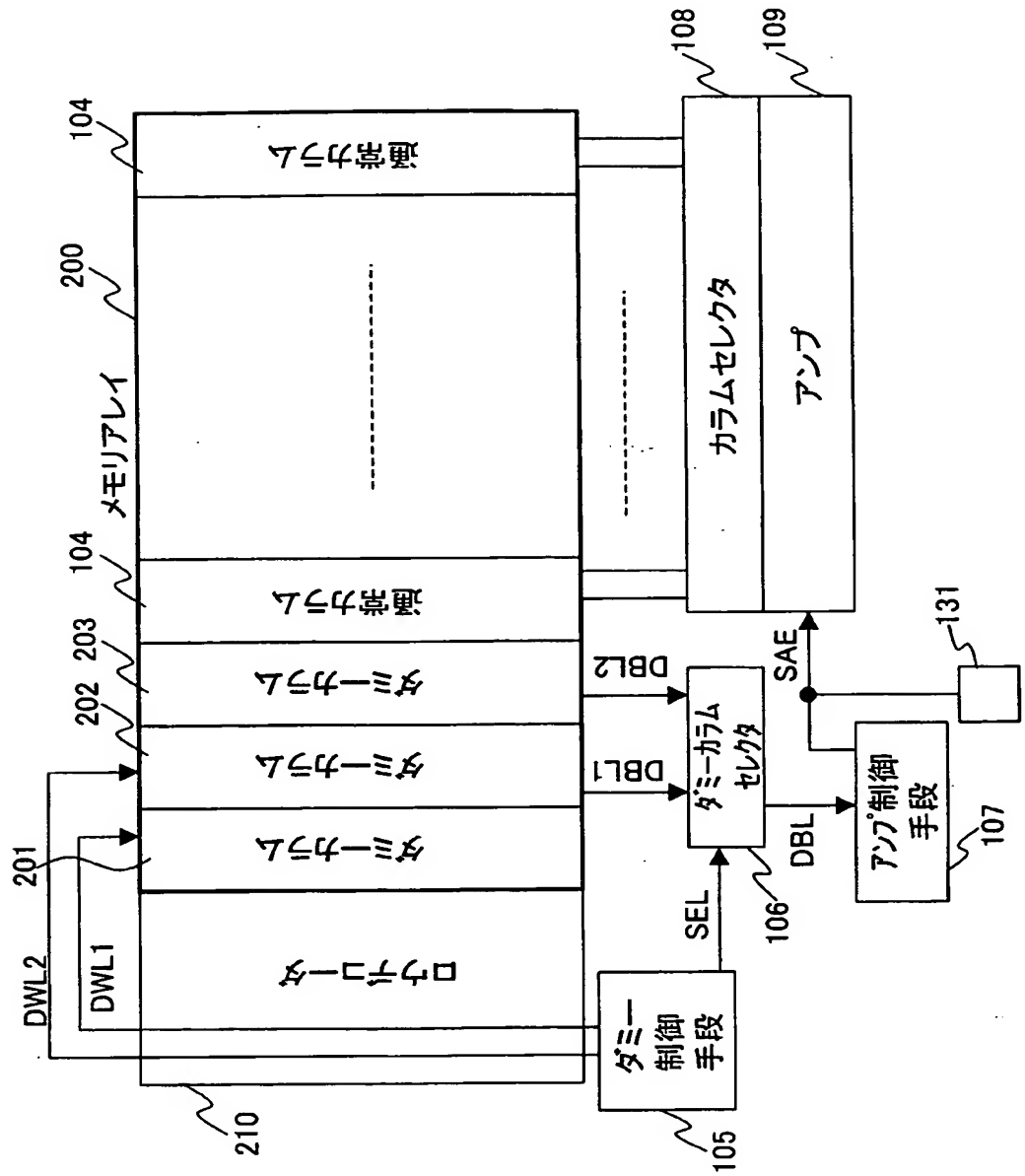
【図 6】



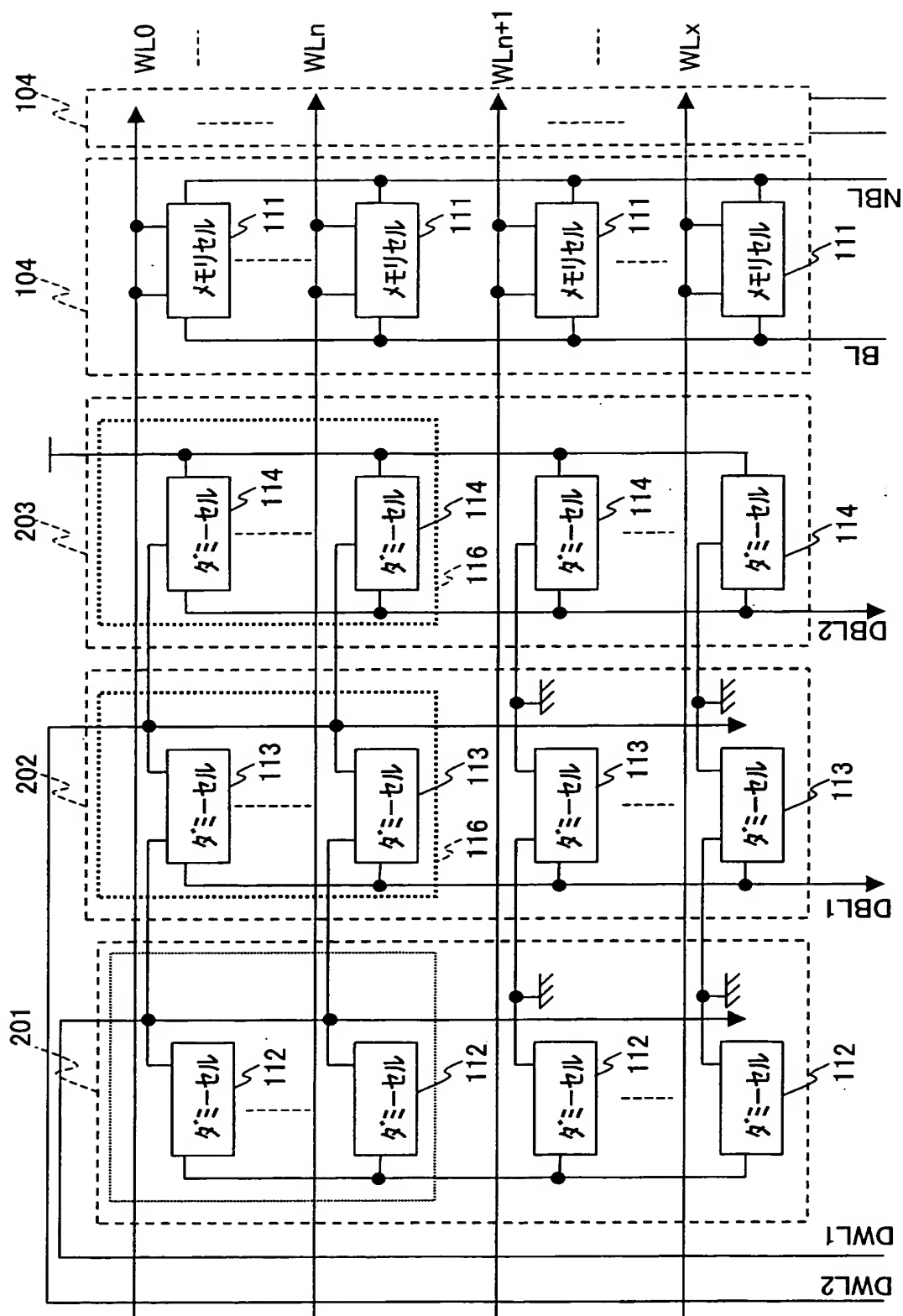
【図 7】



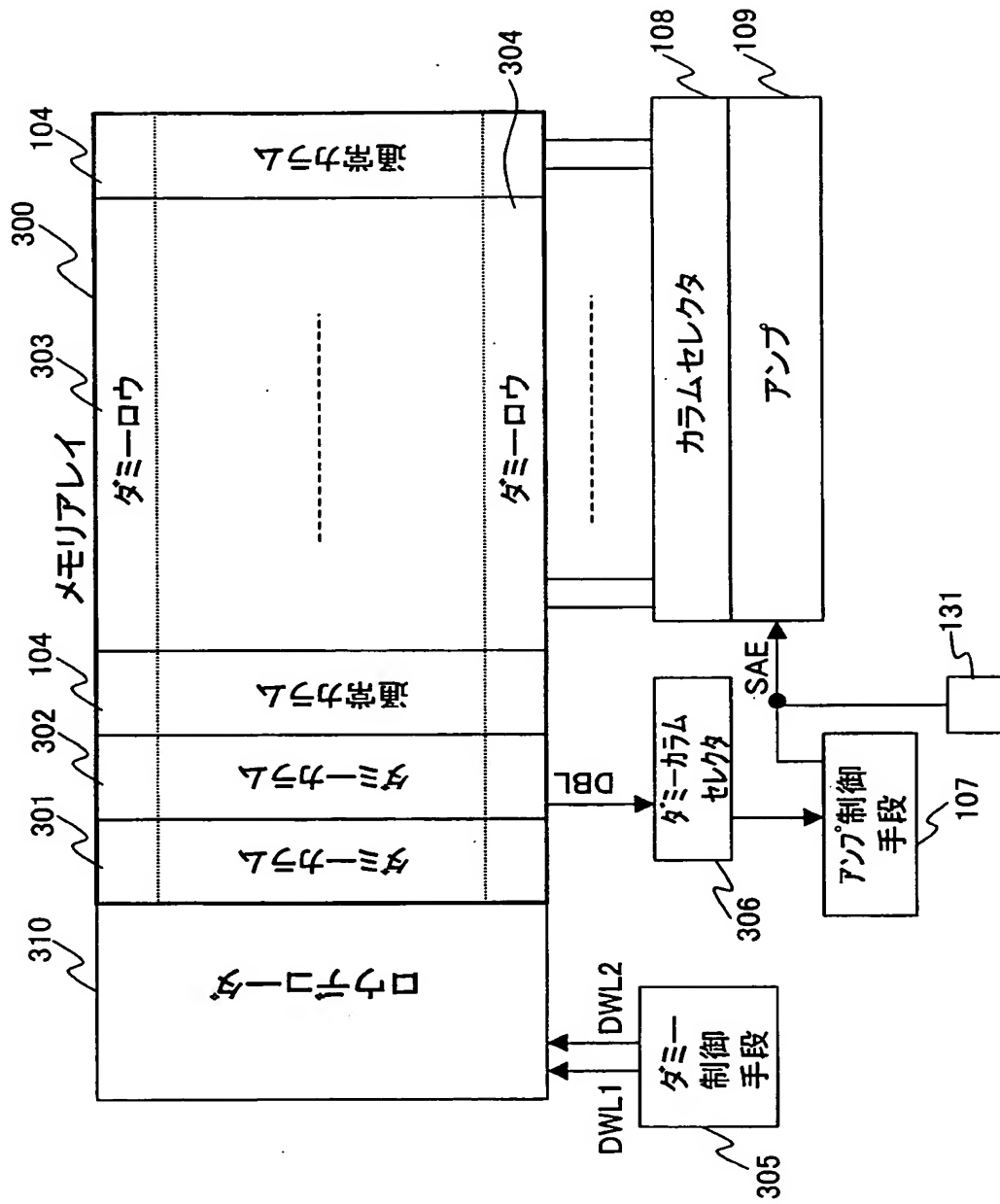
【図 8】



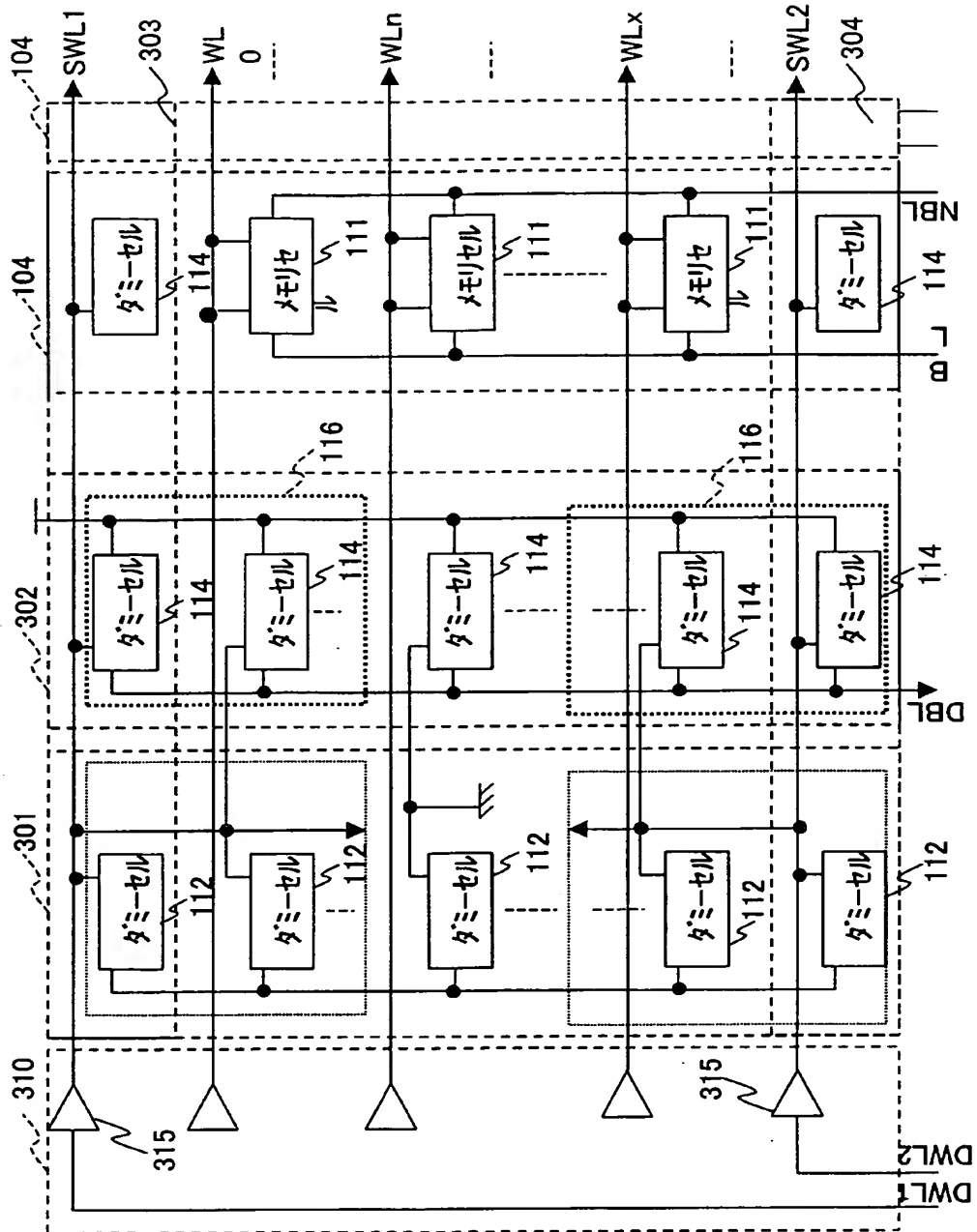
【図 9】



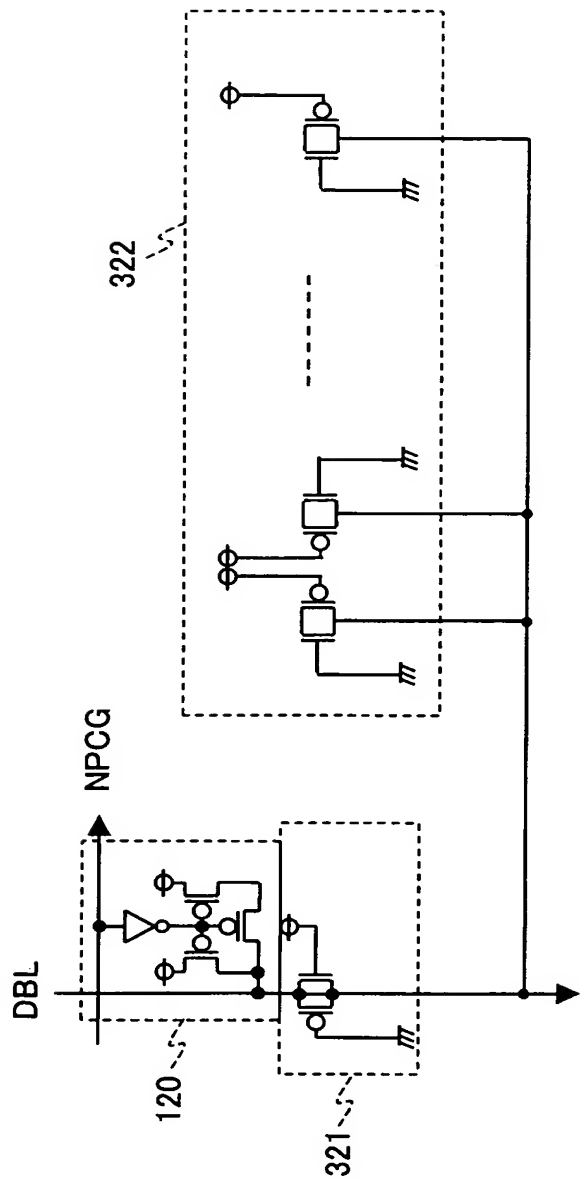
【図 10】



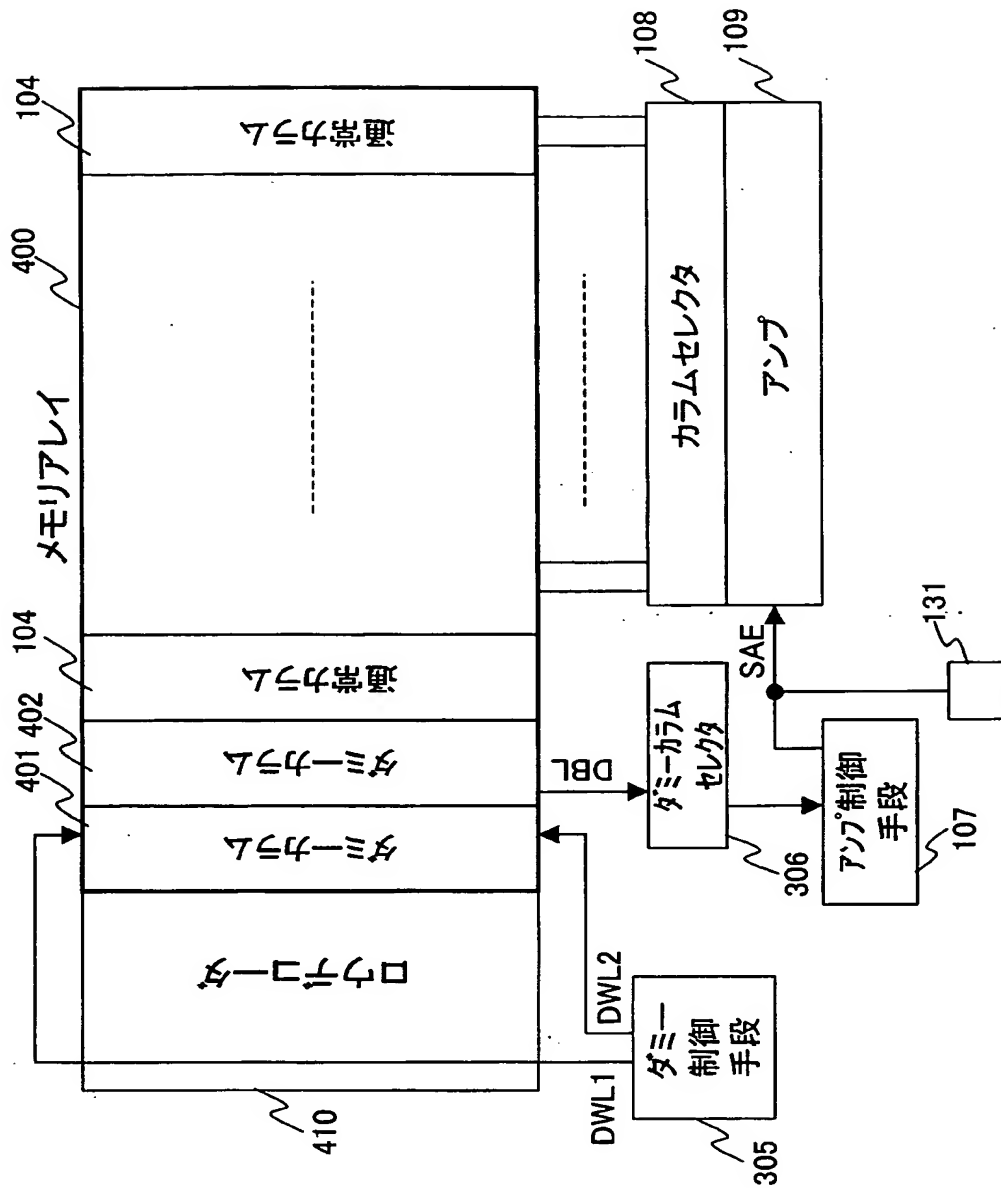
【図 11】



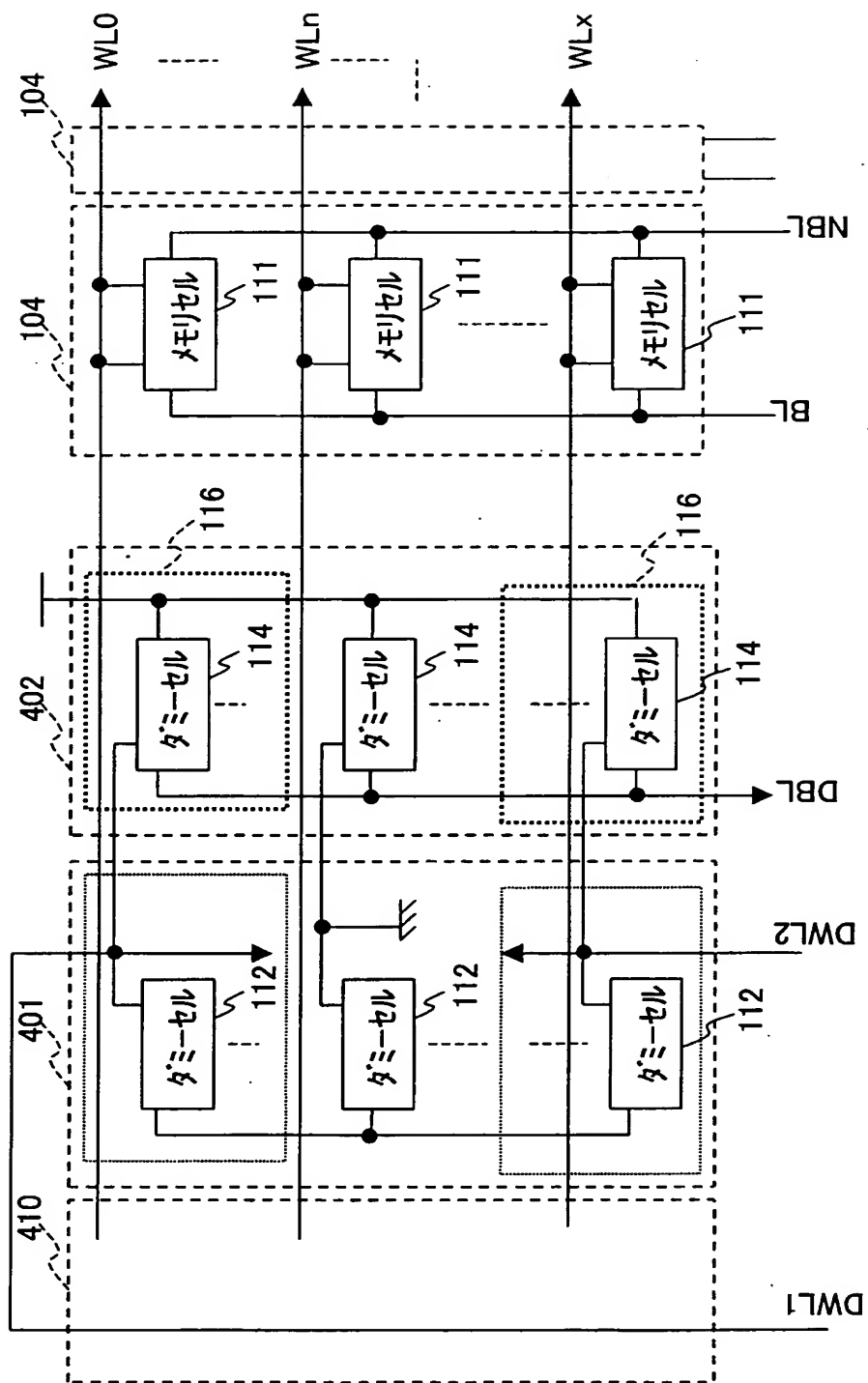
【図 12】



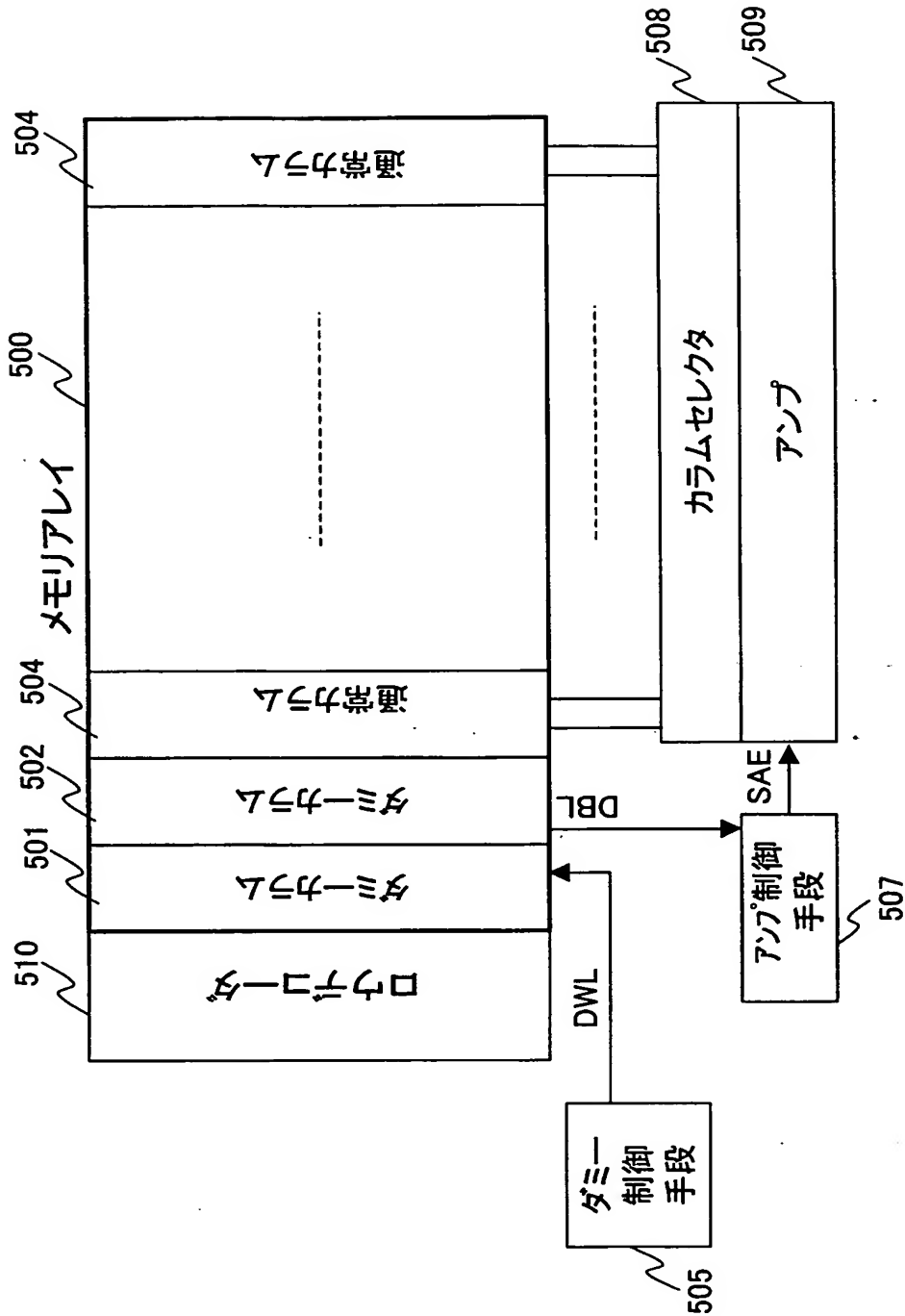
【図 13】



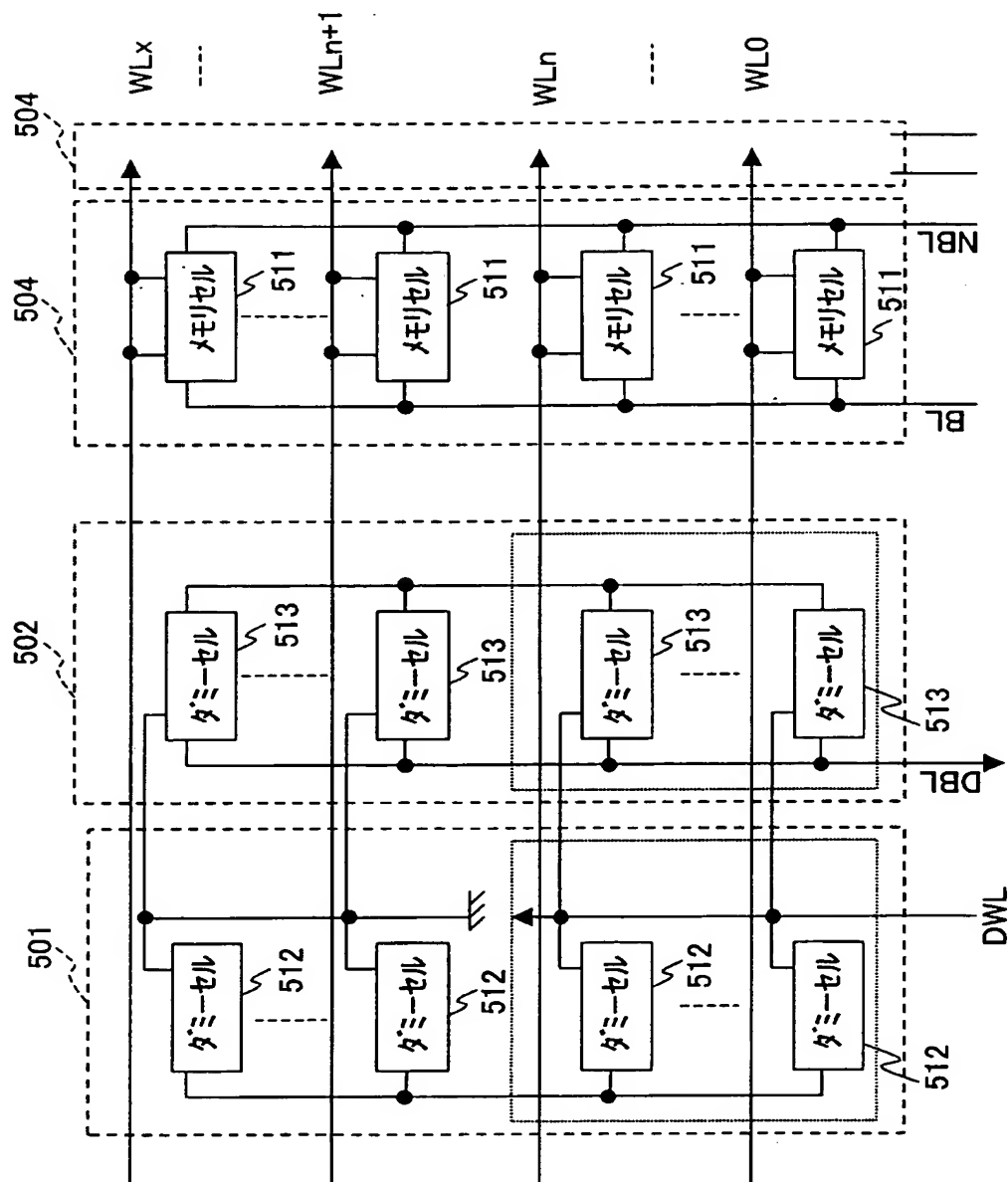
【図 14】



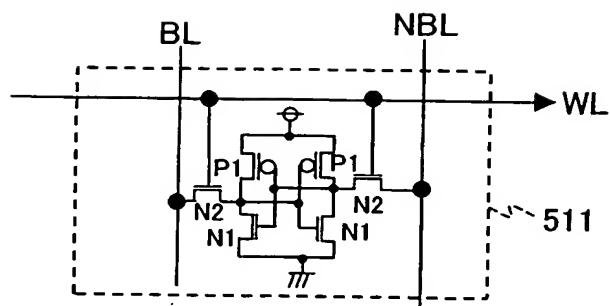
【図 15】



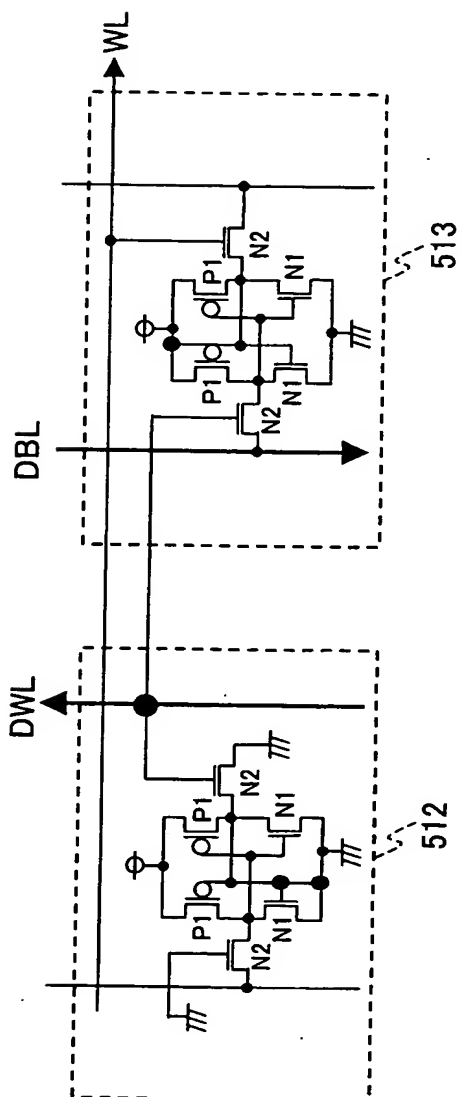
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 内部回路起動タイミングを、ダミー回路を用いて生成する半導体記憶装置に関し、特に精度よく内部回路起動タイミングを生成し、また、ダミーメモリセルに欠陥がある場合、救済可能な半導体記憶装置を提供する。

【解決手段】 複数のメモリセル及び複数のダミーセルを含むメモリアレイと、複数の制御線を選択的に活性化する制御回路と、カラムを選択するカラムセクタと、アンプ回路と、ダミーカラムを選択するダミーカラムセクタと、アンプ制御回路とを含む半導体記憶装置であって、制御回路により選択的に活性化された複数の制御線が、それぞれ異なるダミーセルに接続されている。

【選択図】 図1

特願 2002-334260

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社